

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-287510

(43)Date of publication of application : 13.10.1992

(51)Int.Cl.

H03K 3/02
H03K 3/037

(21)Application number : 03-052108

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 18.03.1991

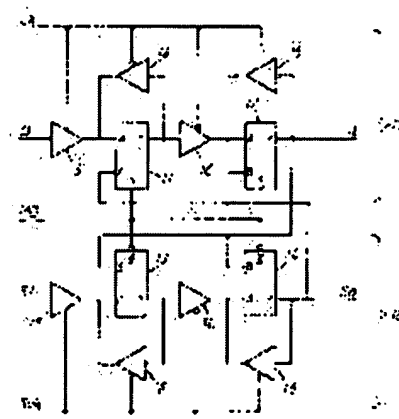
(72)Inventor : YAMANE ICHIRO

(54) FLIP-FLOP CIRCUIT

(57)Abstract:

PURPOSE: To test the circuit utilizing entirely asynchronous scanning independently of the kind and state of a clock signal.

CONSTITUTION: A usual flip-flop 17 acts like a usual flip-flop when an MD is zero and a scanning flip-flop 18 reaches the data load state. When the MD is '1', the scanning flip-flop 18 acts like a usual flip-flop and the usual flip-flop 17 reaches the data load state, then each clock is made independent. The test of the circuit by scanning is executed independently of the kind and state of a system clock signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-287510

(43) 公開日 平成4年(1992)10月13日

(51) Int. Cl.	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 K	3/02	E 7328-5 J		
	3/037	Z 7328-5 J		

審査請求 未請求 請求項の数 3 (全 7 頁)

(21) 出願番号 特願平3-52106

(22) 出願日 平成3年(1991)3月18日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1003番地

(72) 発明者 山根 一郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

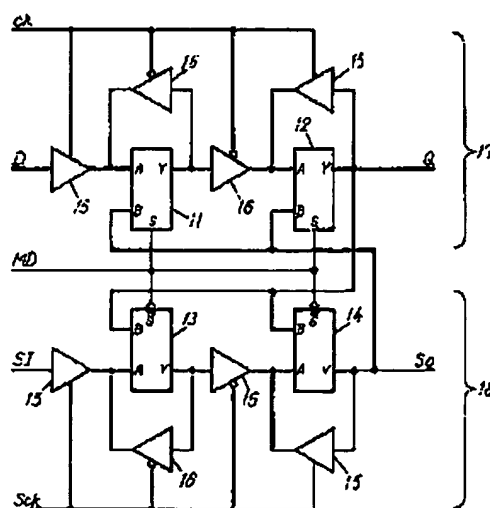
(74) 代理人 弁理士 小銀治 明 (外2名)

(54) 【発明の名称】 フリップフロップ回路

(57) 【要約】

【目的】 クロックの種類、状態に関係なく全く非同期にスキャンによる回路のテストができるスキャンバスフリップフロップ回路を提供する。

【構成】 MDが0のとき、通常用フリップフロップ17は通常のフリップフロップとして動作し、スキャン用フリップフロップ18はデータロード状態となり、MDが1のとき、スキャン用フリップフロップ18は通常のフリップフロップとして動作し、通常用フリップフロップ17はデータロード状態となることによって、各々のクロックを独立させ、システムのクロックの種類、状態に関係なくスキャンによる回路のテストが実施できる。



(2)

特開平4-287510

1

2

【特許請求の範囲】

【請求項1】 データロード型のフリップフロップを複数個用い、第1のフリップフロップのクロックが有効な第2のフリップフロップのクロックが有効な制御信号を持ち、上記第2のフリップフロップのクロックが有効なときは、上記第2のフリップフロップは通常通りフリップフロップとして動作し、上記第1のフリップフロップはデータロード状態となり、上記第1のフリップフロップのクロックが有効なときは、上記第1のフリップフロップは通常通りフリップフロップとして動作し、上記第2のフリップフロップはデータロード状態になることを特徴とするフリップフロップ回路。

【請求項2】 データロード型のフリップフロップを1つ以上と、データロード型のラッチを用い、上記フリップフロップのクロックが有効な、上記ラッチのイネーブルが有効な制御信号を持ち、上記ラッチのイネーブルが有効なときは上記ラッチは通常通りラッチとして動作し、上記フリップフロップはデータロード状態となり、上記フリップフロップのクロックが有効なときは上記フリップフロップは通常通りフリップフロップとして動作し、ラッチはデータロード状態になることを特徴とする請求項1記載のフリップフロップ回路。

【請求項3】 データロード型のフリップフロップを1つ以上と、マルチプレクス回路を用い、上記フリップフロップのクロックが有効な、無効かの制御信号を持ち、上記フリップフロップのクロックが無効なときは、上記マルチプレクス回路によって入力データがそのまま出力され、上記フリップフロップはデータロード状態となり、上記フリップフロップのクロックが有効なときは上記フリップフロップは通常通りフリップフロップとして動作し、上記マルチプレクス回路により、上記フリップフロップの内容が出力されることを特徴とする請求項1記載のフリップフロップ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はスキャンバス回路を構成するにあたり、スキャン用のクロックとシステム用のクロックを全く非同期に動作させることのできるスキャンバスフリップフロップ回路に関するものである。

【0002】

【従来の技術】 近年、LSIの大規模化に伴い、内部のテストが複雑で困難となり、上記内部のテストを簡素化するために、スキャンバステストの手法が利用されるようになってきた。

【0003】 以下、従来のスキャンバステストの手法とスキャンバスフリップフロップ回路について説明する。

【0004】 図6は従来におけるスキャンバスフリップフロップ回路である。通常のフリップフロップとして使用するときは、Dが入力、Qが出力、ckをクロックとして使用する。Sckを0にしておくと、ckが1のとき

ラッチ61はスルー状態となり、ラッチ61の出力には通常入力D（以下Dと略す）がそのまま出力される。一方、ラッチ62はフィードバックにより保持状態に偏たれるため、前の状態が通常出力Q（以下Qと略す）に出力される。ckが0になるとラッチ61は保持状態、ラッチ62はスルー状態となり、上記Dの値は保持されたままである。即ち、ckの立下りエッジでデータを保持するフリップフロップとして動作する。スキャン用のフリップフロップとして使用するときはSIが入力、SOが出力、Sckをクロックとして使用する。ckを0にしておくと、Sckが1のとき、ラッチ61はスルー状態となり、ラッチ61の出力にはスキャン用入力SI（以下SIと略す）がそのまま出力される。一方、ラッチ62はフィードバックにより、保持状態に偏たれるため、前の状態がスキャン用出力S0（以下S0と略す）に出力される。ただし、S0とQは同じ出力信号である。再びSckが1になるとラッチ61は保持状態、ラッチ62はスルー状態となり、上記SIの値はS0に保持されたままである。即ちSckの立下りエッジでデータを保持するフリップフロップとして動作する。

【0005】 この回路を1つのモジュールとしてスキャンテスト回路を構成した例を図7に示す。71、72、73が上記モジュールFF_nである（以下FF_nと略す）。ck1～cknを0にし、制御信号X、制御信号Yを1とする。Scan OutにはFF_nの出力が出力され、内部状態を観測する。ここでScan Clockを入力すると、立下りエッジでそれぞれのFF_nはシフトされる。FF_nにはFF_{n-1}の出力がシフトされ、Scan OutでFF_{n-1}の出力が観測できる。また、Scan Inからの入力はFF₁にシフトされるため、内部状態を任意に設定することができる。従ってScanClockによってn回シフトを繰り返すことによって全てのFF_nの状態を観測、任意に設定できる。

【0006】 これは回路のテストを簡素化する意味で非常に簡単にテストする手法として知られている。

【0007】

【発明が解決しようとする課題】 しかしながら、上記従来の方法では、ckを全て0に保たねばならず、マイクロプロセッサ等においてはckが通常どの状態であるかわからず応用範囲が限られていた。また、通常のフリップフロップに立上りエッジで保持するフリップフロップと立下りエッジで保持するフリップフロップが混在した場合使用できず、そのため、外部に余分な回路を設けねばならなかった。

【0008】 本発明は上記従来課題を解決するもので、ckの状態に全く関係なく、また、フリップフロップの種類に関係なくスキャンによって回路をテストすることのできるスキャンバスフリップフロップ回路を提供することを目的としている。

【0009】

(3)

特開平4-287510

3

【課題を解決するための手段】この目的を達成するために本発明のスキャンバスフリップフロップ回路は複数のデータロード型フリップフロップを持ち、おのおのが独立して動作し、一方のフリップフロップが通常動作をしている間、他方のフリップフロップはデータロード状態にすることによって、両方のフリップフロップの出力を等価にするスキャンバスフリップフロップ回路を構成する。

【0010】

【作用】この回路によって、複数のフリップフロップが全く独立し、かつ出力は常に等価に保たれるため、それぞれのフリップフロップは全く他方のクロックを意識せず非同期的なクロック入力を実現でき、また、クロックが0で保持されても1で保持されていても全く関係なくスキャンによる回路のテストを実施することができる。

【0011】

【実施例】以下、本発明の一実施例について図面を参照しながら説明する。

【0012】図1は本発明の第1の一実施例におけるスキャンバスフリップフロップ回路であり、11、12は

【0013】

【外1】

S

【0014】が0のときYにAが、

【0015】

【外2】

S

【0016】が1のときYにBが出力されるマルチプレクサであり13、14はSが1のときYにAが、Sが0のときYにBが出力されるマルチプレクサであり、15は制御信号が1のときに出力されるトライステートバッファ、16は制御信号が0のときに出力されるトライステートバッファである。

【0017】MDが0のとき通常用フリップフロップ17は、マルチプレクサ11、12がAを出力とするため、Dを入力、ckをクロック、Qを出力としたクロックの立下りエッジでデータを保持するフリップフロップとして動作する（以下、保持状態と略す）。一方、スキャン用フリップフロップ18はマルチプレクサ13、14がBを出力とするため、常にQのデータが読み込まれ、S0に出力される（以下、ロード状態と略す）。従って、通常用フリップフロップ17はスキャン用フリップフロップ18を全く無視して普通のフリップフロップとして扱うことができる。

【0018】ここで、MDを1にすると、通常用フリップフロップ17はマルチプレクサ11、12がBを出力とするため、常にS0の値を読み込む（以下、ロード状態と略す）。一方、スキャン用フリップフロップ18はマルチプレクサ13、14がAを出力とするため、S1を入力、Sckをクロック、S0を出力としたクロックの

4

立下りエッジでデータを保持するフリップフロップとして動作する（以下、保持状態と略す）。MDの変化時において、QとS0は常に等しいため、変化時におけるQ及びS0データはそのまま保持される。

【0019】図2は通常用フリップフロップ17を立下りエッジでデータを保持するものに置きかえたものである。動作は上記図1の例と同様である。

【0020】ここで、ckとSckは位相が逆であるがこの回路であれば、ckとSckは全く独立して非同期であるため、構わない。

【0021】図5に、実際に応用した一実施例を示す。FF1s、FF1sは図1で示したスキャンバスフリップフロップ回路、FF2sは図2で示したスキャンバスフリップフロップ回路である。

【0022】Modeが0のとき、FF1s、FF2s、FF1sはそれぞれ独立しているため、全く単体のフリップフロップとして動作し、全く違った種類のクロックを使用することができる。即ち、Clock1、Clock2、Sckは全く非同期であって構わない。

【0023】ここでModeを1にすると、スキャン用フリップフロップはロード状態から保持状態へと移行する。また、通常用フリップフロップは保持状態からロード状態へと移行する。ここでデータは保持されたままに変化することはない。

【0024】この時、Scan OutにはFF1sの出力が観測できる。ここでScan Clkを入れると、それぞれのスキャンバスフリップフロップはシフトし、Scan OutにはFF2sの出力が観測でき、FF1sにはScan Inより任意のデータが設定できる。これを3回繰り返すことによって、すべてのフリップフロップの出力を観測、任意に設定することができる。

【0025】再び、Modeを0にするとスキャン用フリップフロップは保持状態からロード状態へ、通常用フリップフロップはロード状態から保持状態へと移行し、最初の通常用フリップフロップが動作する状態へと戻る。このとき、それぞれのフリップフロップは上記スキャン用フリップフロップによって任意に設定された値が残り、この値をつかってテストを続けることができる。

【0026】図3は、第2の一実施例で、ラッチ回路に適用した例である。MDが0のとき、マルチプレクサ12はAを出力とするため、通常用ラッチ20はDを入力、Eをイネーブル、Qを出力としたイネーブルが1のときデータを通過させるラッチとして動作する。スキャン用フリップフロップ18は第1の実施例と同様である。

【0027】MDが1のとき、スキャン用フリップフロップ18は保持状態、通常用ラッチ20はロード状態となり、通常用ラッチ20の状態に関係なくスキャンによる回路のテストを実施することができる。

【0028】図4は、第3の一実施例で、通常のバッ

(4)

特開平4-287510

5

6

ァに適用した例である。MDが0のとき、マルチプレクサ12はAを出力とするため、通常用バッファ21はDを入力、Qを出力としたバッファとして動作する。スキャン用フリップフロップ18は第1の実施例と同様である。

【0029】MDが1のときスキャン用フリップフロップ18は保持状態、通常用バッファ21はS0の値が出力され、バッファのそれぞれの内容を観測できる。

【0030】

【発明の効果】以上のように本発明は複数のフリップフロップを複数用い、スキャン用フリップフロップが有効であるか、通常用フリップフロップが有効であるかの制御信号を持ち、一方が通常通りフリップフロップとして動作する時、他方は常にロード状態にすることによって、システムのクロックの状態を全く気にせず非同期的なフリップフロップをスキャンによってテストすることができる。

【図面の簡単な説明】

【図1】本発明の一実施例のスキャンバスフリップフロップ回路のブロック図

【図2】本発明の一実施例のスキャンバスフリップフロ

ップ回路のブロック図

【図3】本発明の一実施例のスキャンバスラッチ回路のブロック図

【図4】本発明の一実施例のスキャンバスバッファ回路のブロック図

【図5】本発明の一実施例における応用回路のブロック図

【図6】従来のスキャンバスフリップフロップ回路のブロック図

【図7】従来の応用回路のブロック図

【符号の説明】

11, 12, 13, 14 マルチプレクサ

15, 16 トライステートバッファ

17, 19 通常用フリップフロップ

18 スキャン用フリップフロップ

20 通常用ラッチ

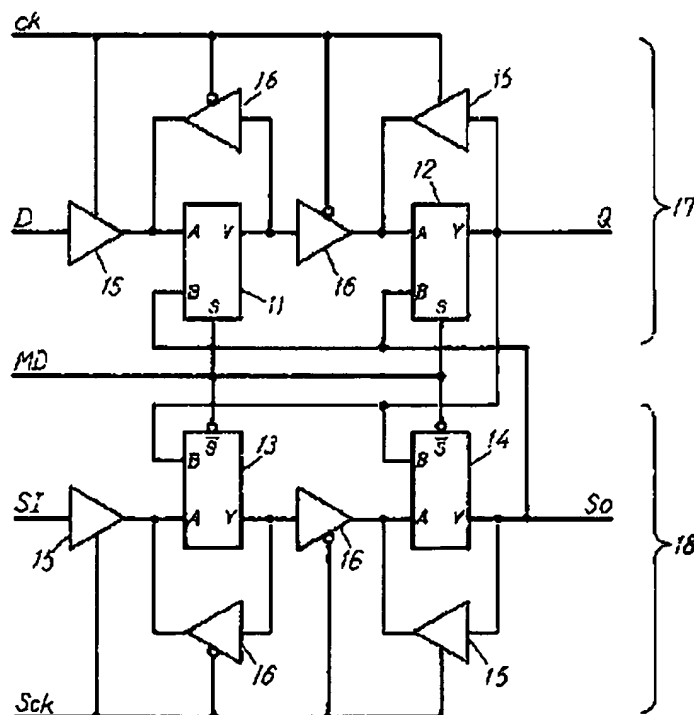
21 通常用バッファ

23, 24, 25 スキャンバスフリップフロップ回路

61, 62 ラッチ

71, 72, 73 スキャンバスフリップフロップ回路

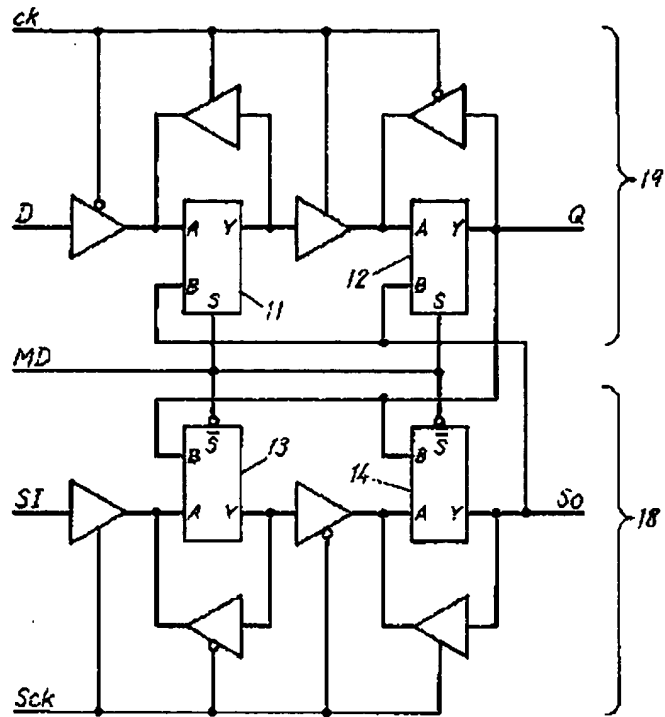
【図1】



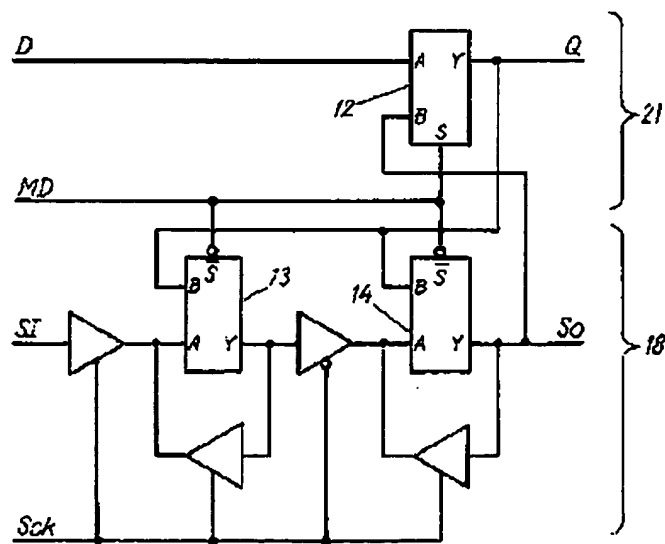
(5)

特開平4-287510

【図2】



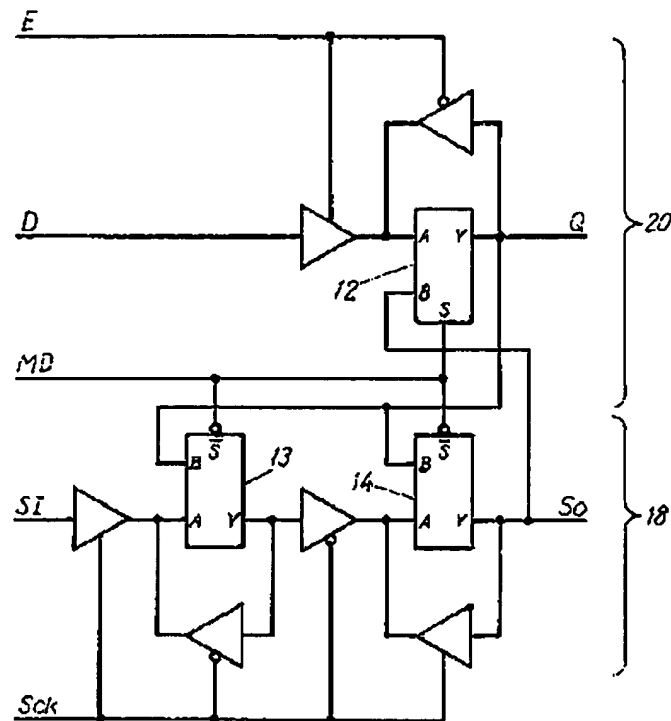
【図4】



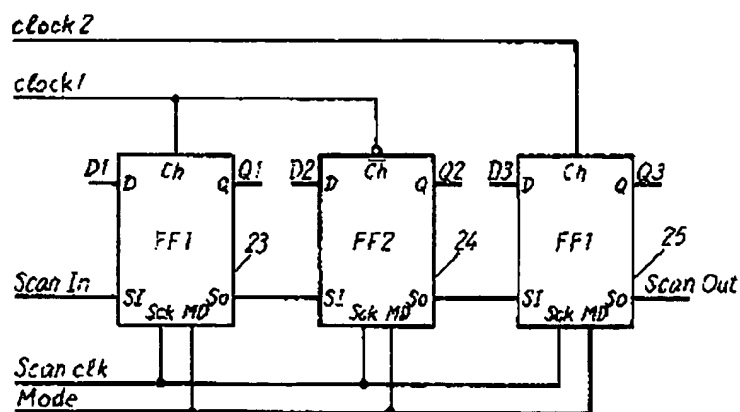
(6)

特開平4-287510

【図3】



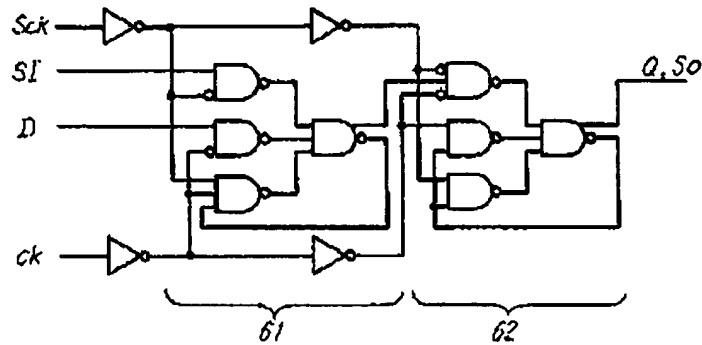
【図5】



(7)

特開平4-287510

【図6】



【図7】

